本 記事는 日本 CQ出版社가 發行하는 「トランジスタ技術」誌(2003年 8月號)와의 著作權 協定에 依據하여 提供받은 資料입니다.

3 파워 MOSFET의 기초지식

鈴木 雅臣

대부분의 디지털 앰프 D급 출력단(段)의 파워 디바이스에는 파워 MOSFET(Metal Oxide Semiconductor Field Effect Transistor, 절연 게이트형 FET)이 사용되고 있다. 이것은 파워 MOSFET이 고속성과 고전압, 대 전류구동에 강하다는 성질을 겸비하고 있기 때문이다.

여기서는 파워 MOSFET의 간단한 동작원리와 스위치로서 ON/OFF시키는 방법, 실제 스위치 회로 등에 관하여 설명한다.

파워 MOSFET의 기호와 동작

1. 그림 기호

그림 1에 파워 MOSFET의 그림 기호를 나타낸다. 게이트(G), 드레인(D), 소스(S)라는 3가지 단자가 있다. 파워 MOSFET에는 드레인-소스간을 N형 반도체로 만드는 N채널형(이하 N채널)과 P형 반도체로 만드는 P채널형(이하 P채널)의 2종류가 있다.

구조상 드레인-소스 사이에 실리콘 다이오드(보디 다이오드라고 하는)가 만들어진다. 쓸데없는 부품인 것 같지만 스위칭 회로에 연결된 인덕터 부하에서 발생하는 역기전력이 이 다이오드로 흘러 소자를 파괴에서 보호할 수 있다는 메리트가 있다. 일반적으로 보디 다이오드는 그림 기호에서 생략되고 있다.

파워 MOSFET은 게이트의 입력 임피던스가 매우 높으므로 인체에 축적된 정전기에 의해 파괴돼버리는 경우가 있다. 때문에 게이트-소스 사이에 보호용 제너다이오드를 내장하고 있는 품종도 있다.

2. 파워 MOSFET의 동작

그림 2를 사용하여 파워 MOSFET의 증폭동작을 설명

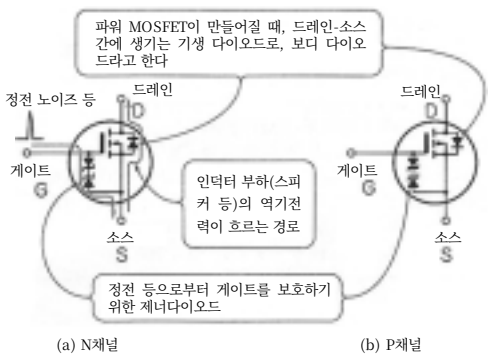


그림 1. 파워 MOSFET의 그림기호

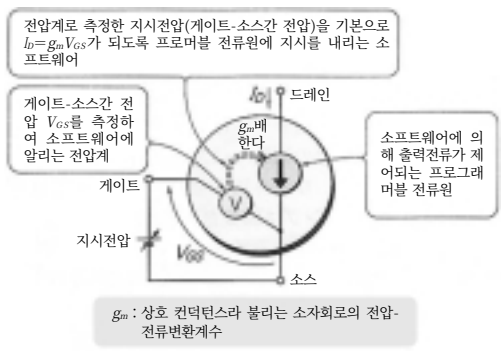


그림 2. 파워 MOSFET의 증폭 모델

한다. 이 모델은 다음과 같은 3가지 요소로 되어 있다.

- 게이트-소스 사이에 설치된 ' 전압계 '
- 프로그래머블 전류원을 컨트롤하는 ' 소프트웨어 '
- 드레인-소스 사이에 설치된 ' 프로그래머블 전류원 '

이 모델은 다음과 같이 동작한다.

(1) STEP1

전압계가 외부에서 인가된 게이트-소스간 전압 V_{GS}를 측정하여 소프트웨어에 알린다.

(2) STEP2

소프트웨어는 프로그래머블 전류원에 출력전류의 크기를 지시한다. 목표 전류값 I_D는 다음 식과 같다.

$$I_D = g_m V_{GS}$$

여기서, g_m : 프로그램에 설정된 I_D와 V_{GS}의 관계를 결정하는 계수

(3) STEP3

소프트웨어에 의해 지정된 목표 전류값 I_D가 되도록 프로그래머블 전류원이 지속된다.

3. 2가지 동작 모드가 있다는 것을 이해한다

(1) 입력과 출력이 비례관계인 비포화동작

STEP3 프로그래머블 전류원의 노력으로 순조롭게 $I_D = g_m V_{GS}$가 성립되었을 경우, 드레인-소스 사이를 외부에서 보면 전류원으로 동작하고 있는 것처럼 보인다.

이 상태를 ' 파워 MOSFET은 선형영역 또는 비포화영역에 있다 ' 라고 한다. 입력과 출력이 비례관계인 리니어 증폭회로에 사용되고 있는 파워 MOSFET은 비포화영역에서 동작하고 있다.

(2) 드레인-소스간 임피던스가 매우 작아지는 포화동작

파워 MOSFET의 외부회로 상황에 따라 I_D가 어떤 값 이상 흐르지 않는 상태로 되는 경우도 있다.

이 경우는 V_{GS}를 크게 하고 프로그래머블 전류원이 노력해도 I_D가 $g_m V_{GS}$까지 증가되지 않아 $I_D < g_m V_{GS}$라는 관계로 돼버린다.

이것은 파워 MOSFET으로 해보면 소프트웨어에 지시를 내리고 있는 목표값 $g_m V_{GS}$까지 드레인 전류를 증가시키고 싶어도 거기까지 흘릴 수 없어 노력해도 결과가 나오지 않는다는 욕구불만이 매우 커진 상태라 할 수 있다. 이 상태를 ' 포화영역에 있다 ' 라고 한다.

포화상태에 있는 파워 MOSFET의 드레인-소스 사이를 외부에서 보면 양단의 임피던스가 mΩ 오더인 매우 낮은 상태에 있다.

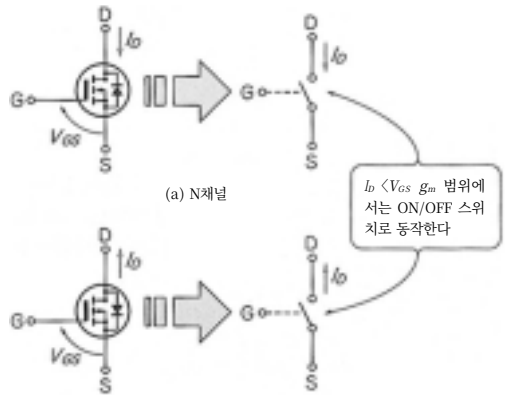


그림 3. 게이트-소스 사이에 전압(V_{GS})을 인가하면 드레인 전류(I_D)를 ON/OFF할 수 있다

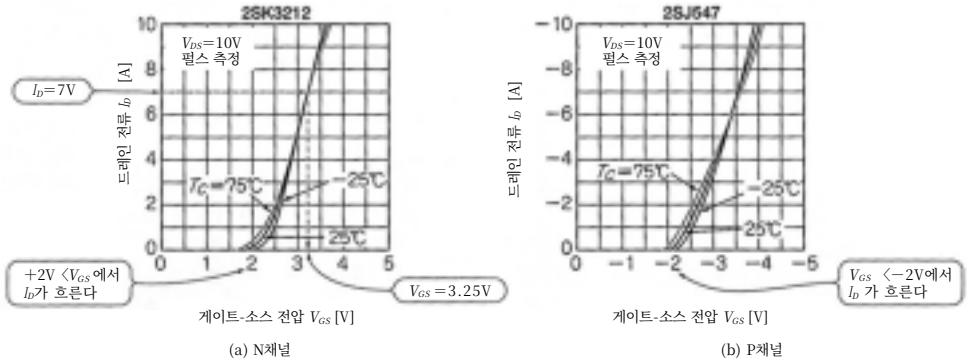


그림 4. 파워 MOSFET의 I_D-V_{GS} 특성

프로그래머블 전류원이 많은 전류를 흘리려고 하는 노력이 드레인-소스간의 임피던스를 극단적으로 낮게 하는 형태로 나타나는 것이다.

스위칭 회로에서는 이 상태를 스위치 ON으로서 이용한다. 스위치 OFF하려면 I_D=0이 되도록 V_{GS}를 설정한다. I_D 〈 $g_m V_{GS}$의 관계가 성립될 수 있는 전압 V_{GS}를 게이트-소스 사이에 인가해 주면 그림 3과 같이 파워 MOSFET의 드레인-소스 사이는 스위치처럼 동작한다.

4. V_{GS}를 몇 V로 하면 ON/OFF되는가?

여기서 중요한 것은 V_{GS}를 몇 V로 설정하면 파워 MOSFET을 ON/OFF할 수 있는가 라는 것이다. 즉, V_{GS}가 몇 V일 때 I_D가 몇 A 흐르는가가 중요하다. 이것은 N채널인가 P채널인가 또는 디플리션형인가 인핸스먼트형인가에 따라 달라진다.

디플리션형은 V_{GS}=0V에서도 드레인 전류가 흐르는 타입, 인핸스먼트형은 V_{GS}=0V에서 드레인 전류가 흐르지 않고 V_{GS} 〉 0V로 하면 흐르는 타입이다. 파워 MOSFET의 대부분은 인핸스먼트형이다[2].

그림 4에 나타난 것은 디지털 앰프나 모터 구동회로의 스위치 소자로서 널리 사용되고 있는 대표적인 인핸스먼트형 파워 MOSFET의 I_D−V_{GS} 특성이다. 모두 V_{GS}=0V에서 I_D=0A이다.

N채널은 V_{GS}를 +2V 이상(“+”는 소스보다 게이트 전위가 높다는 것을 의미한다)으로 하면 I_D가 흐른다. P채널은 V_{GS}를 −2V 이하(“−”는 소스보다 게이트 전위가 낮다는 것을 의미한다)로 하면 I_D가 흐른다. 즉, N채널과 P채널을 모두 V_{GS}=0V로 하면 OFF되고 N채널은 정(+)의 V_{GS}를, P채널은 부(−)의 V_{GS}를 외부에서 걸 때 ON된다.

파워 MOSFET을 ON시키기 위한 V_{GS}의 구체적인 값은 I_D−V_{GS} 특성에서 구한다. 그림 4(a)와 같이 스위치 ON일 때의 최대전류가 7A라면 I_D=7A일 때 V_{GS}(3.25V)를 초과하는 전압이 인가되면 ON된다.

실제로 스위칭 회로를 설계할 때, 게이트를 구동하는 전용 IC를 사용하는 경우가 많으므로 게이트 구동전압을 파워 MOSFET에 맞추어 결정하는 것이 아니라 게이트 구동 IC의 출력전압에 맞추어 파워 MOSFET인 쪽을 선택하게 된다.

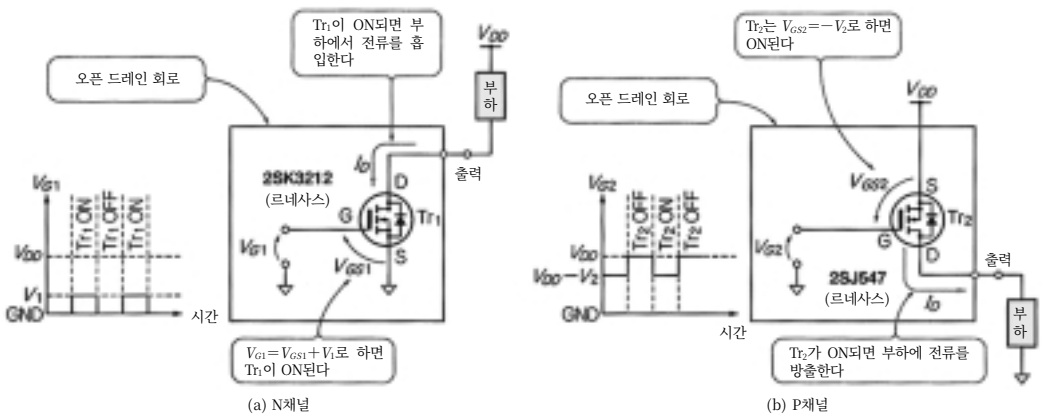
다양한 파워 스위칭 회로

다음에 현장에서 사용되고 있는 실제 파워 MOSFET의 스위치 회로에 관하여 설명한다.

1. 오픈 드레인 회로

그림 5는 오픈 드레인이라 부르는 스위칭 출력회로이다. 드레인이 개방(오픈)된 파워 MOSFET에 부하를 접속하는 회로이다.

그림 5(a)의 N채널을 사용한 회로는 게이트의 전위 V_{G1}을 그라운드에 대해 0V로 할 때 V_{GS1}=0V로 되어 Tr_1이 OFF된다. V_{G1}=V_1로 하면 V_{GS1}=V_1로 되어 Tr_1이 ON된다.



(a) N채널 (b) P채널

그림 5. 파워 스위칭 회로 ①…오픈 드레인 회로

V_1은 전달 특성 그래프(그림 4)에서 $I_D < g_m V_{GS}$가 되도록 구한 V_{GS}의 값이다. Tr_1이 ON되면 출력단자와 V_{DD} 사이에 접속한 부하로부터 전류를 흡입한다.

그림 5(b)의 *P*채널을 사용한 회로는 대 그라운드의 게이트 전위 V_{G2}를 V_{DD}로 할 때 V_{GS2}=0V로 되어 Tr_2가 OFF된다. $V_{G2}=V_{DD}-V_2$로 하면 $V_{GS2}=-V_2$로 되어 Tr_2가 ON된다. V_2는 전달 특성 그래프에서 $I_D < g_m V_{GS}$가 되도록 구한 V_{GS}의 값이다. Tr_2가 ON되면 출력단자와 그라운드 사이에 접속한 부하로 전류가 나온다.

2. 하프 브리지 회로

(1) 전류의 흡입과 배출이 가능

오픈 드레인 회로는 부하에 대해 전류를 흡입 또는 배출 중 하나밖에 할 수 없다.

그러나 디지털 앰프나 모터 구동회로에서는 흡입, 배출 모두 가능해야 한다. 이 오픈 드레인 회로의 결점을 극복한 것이 그림 6(a)의 하프 브리지 회로이다. 이 회로는 후술하는 풀 브리지 회로의 반 정도에 해당하므로 하프 브리지라 불리고 있다.

(2) P채널과 N채널을 사용하는 타입

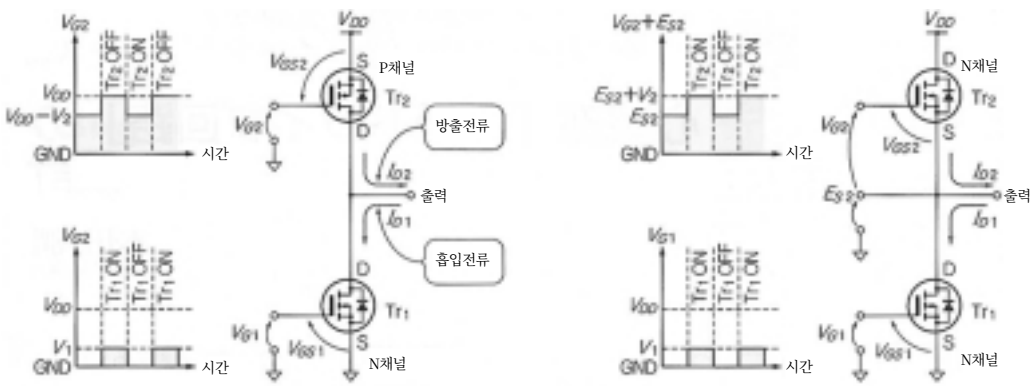
하프 브리지 회로는 N채널과 P채널 2개의 오픈 드레인 회로를 위아래로 겹쳐 놓은 것으로 N채널이 흡입전류, P채널이 배출 전류를 공급한다. 각각의 파워 MOSFET 게이트로의 구동전압 인가방법은 그림 6의 오픈 드레인 회로와 똑같다.

주의해야 할 점은 상하의 파워 MOSFET[그림 6(a)의 Tr_1과 Tr_2]이 동시에 ON 상태로 되어서는 안된다. Tr_1과 Tr_2가 동시에 ON되면 V_{DD}와 그라운드를 단락시키고 V_{DD}에서 그라운드를 향해 거대한 관통전류가 흘러 파워 MOSFET이 파괴돼버리기 때문이다.

그러므로 하프 브리지 회로에서는 상하의 파워 MOSFET이 함께 OFF되는 기간(데드 타임이라 한다)을 설정해야 한다.

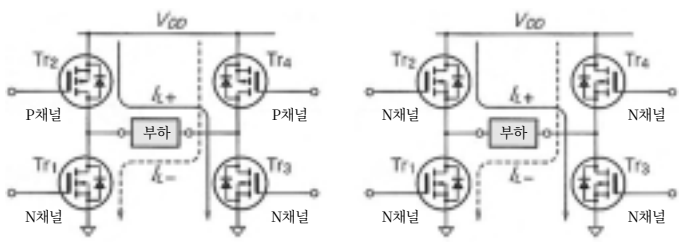
(3) *N*채널을 2개 사용하는 타입

그림 6(b)는 N채널만으로 구성한 하프 브리지 회로이다. 일반적으로 전력 스위칭용 P채널 파워 MOSFET은 N채널



(a) P채널과 N채널로 구성하는 타입　　(b) N채널만으로 구성하는 타입

그림 6. 파워 스위칭 회로 ②…하프 브리지 회로



(a) N채널과 P채널로 구성하는 타입　　(b) N채널만으로 구성하는 타입

그림 7. 파워 스위칭 회로 ③…풀 브리지 회로

에 비해 판매되는 종류가 아주 적으며 고가이다. 또 N채널과 함께 고성능의 전력용 P채널을 IC 내에 내장시키려면 많은 비용이 든다.

이러한 이유에서 N채널만으로 구성한 전력 스위치 회로가 자주 사용된다. 이 회로의 경우, 위쪽의 파워 MOSFET(Tr_2)의 게이트 구동방법은 그림 6(a)와 다르며 아래쪽 파워 MOSFET Tr_1의 게이트 구동방법은 그림 6(a)와 똑같다.

N채널은 소스에 대해 게이트 전위를 높일 때($V_{GS2}=V_2$) ON되므로 그림 6(b)와 같이 Tr_2의 소스 전위 E_{S2}를 기준으로 게이트에 전압을 인가한다. 그러나 그라운드를 기준으로 해서 본 Tr_2의 소스 전위 E_{S2}는 Tr_1과 Tr_2의 ON/OFF 상태에서 변동된다. 때문에 게이트 구동회로에는 트랜스 등을 사용하여 그라운드 전위에서 플로팅시키는 회로나, 콘덴서를 사용하여 전압을 시프트시키는 부트스트랩 회로[4] 등이 필요하다.

3. 풀 브리지 회로

그림 7은 풀 브리지 회로라 불리는 스위칭 출력회로이다. 풀 브리지 회로는 하프 브리지 회로의 출력단자 사이에 부하를 접속한 것이다. Tr_2와 Tr_3이 ON, Tr_1과 Tr_4가 OFF되면 부하에는 I_{L+} 방향으로 전류가 흐른다. Tr_4와 Tr_1이 ON, Tr_2와 Tr_3이 OFF되면 부하에는 I_{L-} 방향으로 전류가 흐른다.

하프 브리지 회로에서 부하를 구동했을 경우에 비해 부하의 양단에 인가되는 전압이 2배이므로 부하에 공급되는 최대전력은 하프 브리지 회로의 4배가 된다. 이와 같이 풀 브리지 회로로 하면 전원전압을 유효하게 이용할 수 있다.

각 파워 MOSFET의 게이트 구동방법은 그림 6의 하프 브리지 회로와 똑같다. 또 그림 7(b)와 같이 N채널만으로 구성한 풀 브리지 회로인 경우의 게이트 구동방법도 그림 6(b)의 하프 브리지 회로와 똑같다. EE

참고·인용*문헌

(1)* 鈴木雅臣：定本トランジスタ回路の設計，CQ出版㈱.
(2) 鈴木雅臣：定本続トランジスタ回路の設計，CQ出版㈱.
(3)* 2SJ547，2SK3212データ・シート，㈱ルネサス テクノロジ，
▶http://www.renesas.com/jpn/index.html
(4) 西村 康：D級アンプの動作原理と専用ICの評価，トランジスタ技術1997年7月号，CQ出版㈱.

자동화를 위한 센서 공학

김원회, 김준식 공저 / 364쪽 / 성안당.com / 15,000원

이 책은 자동화에 이용되는 거의 모든 센서를 대상으로 센서 활용을 위한 기술적 사항, 각종 센서의 원리, 특성, 선정 요점, 사용상 주의사항, 용어설명 등은 물론 각 센서마다 대표적인 응용사례 등을 체계적으로 정리했다. 따라서 센서 이용 기술을 습득하려는 엔지니어와 학생들에게 센서에 관한 지식을 얻거나 현장실무 업무에 도움이 되는 좋은 참고서가 될 것이다.

시스코 라우터 BGP 구현

신동원 저 / 224쪽 / (주)사이버출판사 / 12,000원

이 책은 cisco router에서 BGP 구현 및 운영에 관한 실무 활용 가이드북이다. 실제 현업에 근무하는 사람들 중에 초보수준을 막 벗어나는 사람들을 독자대상으로 했으며, 이 책의 내용만으로 실제 BGP를 cisco router에서 설정하고 구현할 수 있도록 하는 데 중점을 뒀다. 책 구성은 실제 cisco router에서의 configuration의 예와 결과를 중심으로 BGP 관련 부분을 다뤘고, 실제 real site에서 활용되는 예도 첨부했다.

本 記事는 日本 CQ出版社가 發行하는 「トランジスタ技術」誌(2003年 8月號)와의 著作權 協定에 依據하여 提供받은 資料입니다.

저변형 특성을 실현하는 PWM 변조단과 출력단의 인터페이스 기술

4 심장부‘ D급 드라이브 회로 ’ 설계

本田 潤

그림 1은 일반적으로 디지털 앰프의 PWM 신호출력에서 D급 출력단(段)까지의 블록도이다. PWM 변조단에서 출력되는 것은 3~5V 로직 레벨의 신호이다. 이 신호에서 D급 출력단의 파워 MOSFET을 직접 구동할 수는 없다. 그림과 같이 양자 사이에 D급 드라이브 회로라고 하는 인터페이스 회로가 필요하다.

D급 드라이브 회로는, 하이 사이드와 로우 사이드가 동시에 ON되는 현상을 방지하기 위한 데드 타임 생성회로, 하이 사이드의 게이트를 구동할 수 있는 레벨에 로직 레벨을 승압하는 레벨 시프터, 파워 MOSFET을 저임피던스로 구동하는 게이트 드라이버로 구성된다.

변형이나 잡음 특성 등의 오디오 성능은 D급 드라이브 회로 설계에 따라 크게 변화된다. 이 장에서는 디지털 앰프의 심장부라 할 수 있는 D급 드라이브 회로의 설계법에 관하여 해설한다.

파워 MOSFET의 성질을 이해한다

1. 대전류를 고속으로 스위칭할 수 있다

파워 MOSFET은 대전류를 고속으로 스위칭하는 데 최

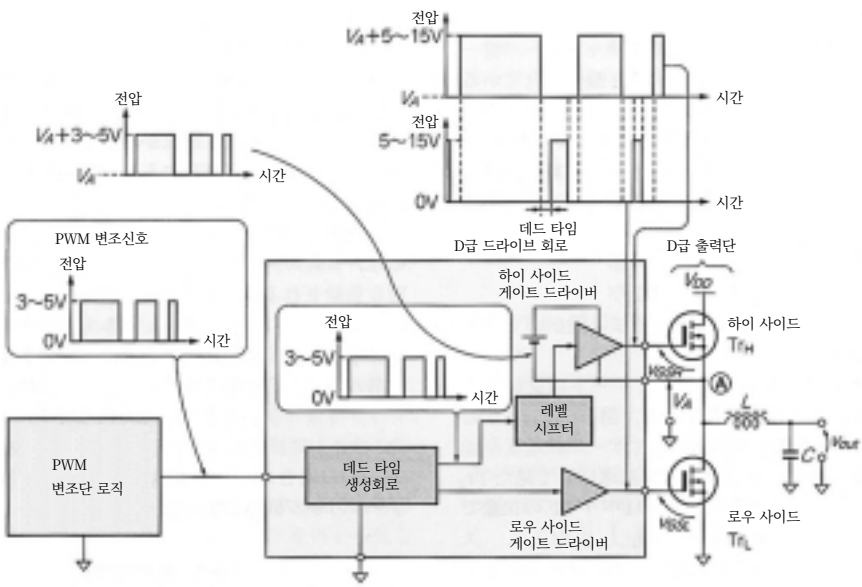


그림 1. PWM 변조회로와 D급 출력단을 인터페이스하는 D급 드라이브 회로

적이다. D급 증폭의 원리는 30여 년 전부터 있었지만 파워 MOSFET의 가격이 떨어져 가까스로 실용화에 이르렀다. 바이폴러 트랜지스터는 부하전류에 관계없이 큰 전류를 흘려 둘 필요가 있으며 소수 캐리어의 축적효율에 의해 베이스에 입력한 신호를 OFF해도 턴 오프가 늦어진다. 따라서 대전력이면서 고속인 스위칭 동작에는 적합치 않았다.

한편, 파워 MOSFET은 소수 캐리어가 동작에 관여하지 않아 게이트에 인가되는 전압신호의 속도를 따라 고속으로 ON/OFF한다.

2. 게이트-소스 사이에 전압을 인가하면 ON된다

파워 MOSFET은 게이트-소스 사이에 전압을 인가하면 ON되어 드레인-소스 사이에 전류가 흐르도록 되어 있다. 전압을 인가하지 않으면 드레인과 소스에는 전류가 흐르지 않는다. ON 상태의 저항값은 매우 낮아 수십mΩ도 간단히 실현할 수 있다. 게이트는 드레인-소스 사이의 채널에 대해 전기적으로 절연된 구조의 전극이므로 일단 ON해버리면 ON 상태를 유지하기 위해 게이트에 전류를 흘리지 않아도 된다.

3. 게이트 구동은 콘덴서를 충방전한다

그림 2와 같이 파워 MOSFET을 밖에서 보면 콘덴서(약 수천pF)로 보인다. 파워 MOSFET의 게이트 전극은 전기적으로 절연되어 있어 다른 전극 등과 콘덴서를 구성하고 있기 때문이다. ON이나 OFF인 상태를 유지하려면 전류를 전혀 소비하지 않는 대신, ON에서 OFF 또는 OFF에서 ON으로 이행할 때 이 콘덴서를 충방전하기 위한 전류가 필요하다. 이것이 파워 MOSFET의 구동전류이다.

레벨 시프터의 개요

1. 역할…소스 기준의 게이트 구동전압을 발생시킨다

레벨 시프터는 디지털계 그라운드를 기준으로 진폭하는 PWM 변조 펄스에 대해 파워 MOSFET의 소스를 기준으로 진폭하는 신호로 전위 변환하는 회로이다.

그림 1에 나타난 D급 출력단의 출력 노드, 즉 하이 사이드(Tr_H) 소스(점 Ⓐ)의 전위는 스위칭 동작과 함께 전원과 그라운드 사이를 상하로 움직이고 있다. Tr_H를 ON/OFF하려면 소스 전위를 기준으로 진폭하는 전압을 게이트에 인가해야 한다.

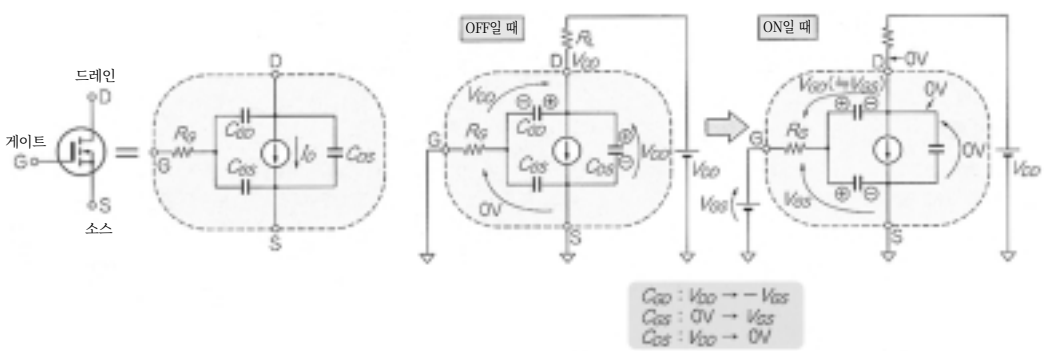
게이트 드라이버는 PWM 변조신호의 전압(진폭 3~5V)을 파워 MOSFET ON/OFF에 필요한 전압으로 증폭하고 저 임피던스에서 게이트를 구동한다.

2. 다양한 레벨 시프트

(1) 콘덴서 결합 타입[그림 3(a)]

출력단에 N채널과 P채널의 파워 MOSFET을 사용한다. 이 방식은 게이트 구동을 위한 플로팅 전원이 필요 없다. 더욱이 하나의 게이트 드라이버로 2개의 파워 MOSFET을 직접 구동할 수 있다.

또 2개의 스위칭 시간 편차가 작고 데드 타임이 자동적으로 발생하므로 구동회로가 매우 심플해진다. 그러나 그



(a) 등가회로 (b) 내부 콘덴서의 충전전압 변화

그림 2. 파워 MOSET 구동은 콘덴서를 충방전할 수 있는 것

림 4와 같이 전원전압변동의 영향을 받기 쉽다는 결점이 있다. 비교적 소 출력 디지털 앰프에서 사용된다. 그림에서 V_{th}는 파워 MOSFET이 ON되는 게이트-소스간 임계전압이다.

(2) 전용 게이트 드라이브 IC를 사용한다[그림 3(b)]

50W 이상의 중~대 출력에는 전용 게이트 드라이브 IC가 사용된다. 게이트 드라이브 IC는 N채널 2개의 파워 MOSFET을 직접 구동할 수 있다. 하이 사이드 측 게이트를 구동하는 플로팅 전원도 간단한 부트스트랩 전원회로로 구성할 수 있다.

(3) 포토커플러를 사용한다[그림 3(c)]

포토커플러는 게이트 구동회로가 복잡하고 속도가 느리다는 문제가 있었다. 최근에 고속 포토커플러도 등장했지만 코스트나 부품 수 면에서 게이트 드라이브 전용 IC에 뒤떨어진다.

(4) 펄스 트랜지스터를 사용한다[그림 3(d)]

2차 측에 게이트 구동용으로 별도의 전원이 필요 없다는 이점이 있지만 이용할 수 있는 듀티 폭에 제한이 있어 디지

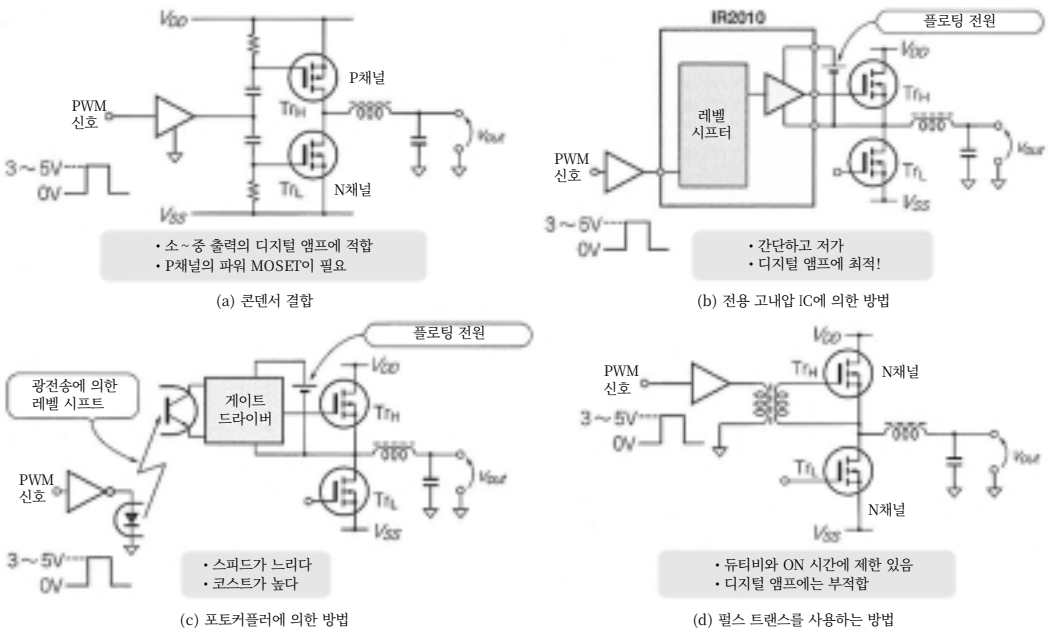


그림 3. 다양한 레벨 시프터

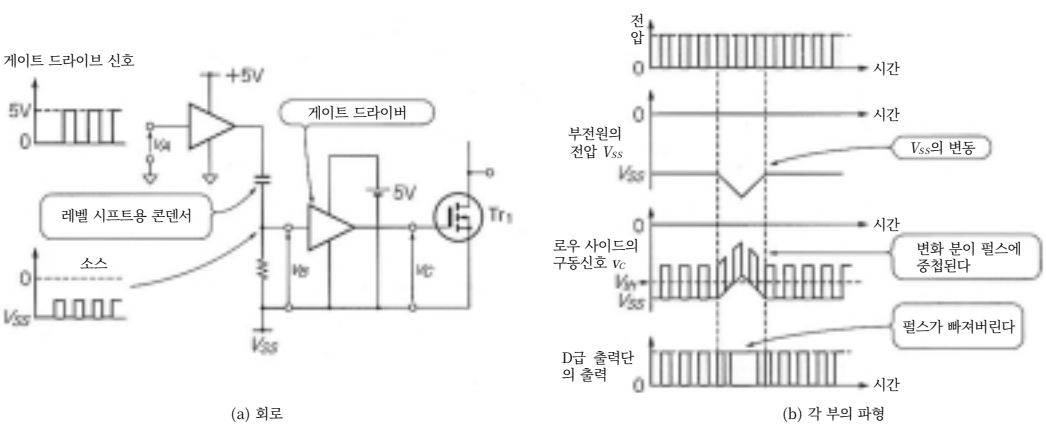


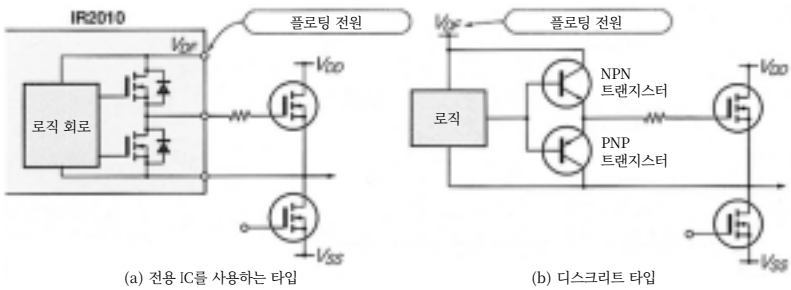
그림 4. 콘덴서 결합형은 전원전압변동의 영향을 받기 쉽다

털 앰프에는 별로 사용되지 않는다.

게이트 드라이버의 개요

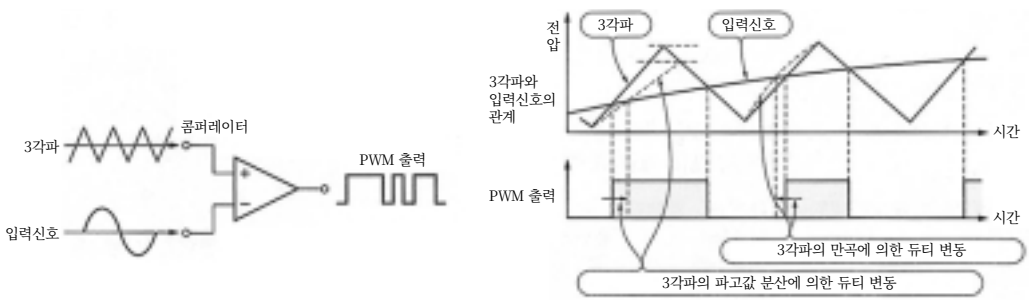
1. 게이트 구동전류를 공급한다

파워 MOSFET의 ON/OFF 제어는 게이트에의 전하 차이로 실현한다. 고속 스위칭을 실현하려면 그림 5(a)와 같이 출력 임피던스가 수Ω으로 낮은 게이트 드라이버로 구동한다. 예를 들어 IR2010은 파워 MOSFET에 의한 출력 버퍼를 내장하고 있다. 전용 IC를 사용하지 않아도 비포화 바이폴러 트랜지스터에 의한 버퍼 회로[그림 5(b)]에서 양호한 결과를 얻을 수 있다.



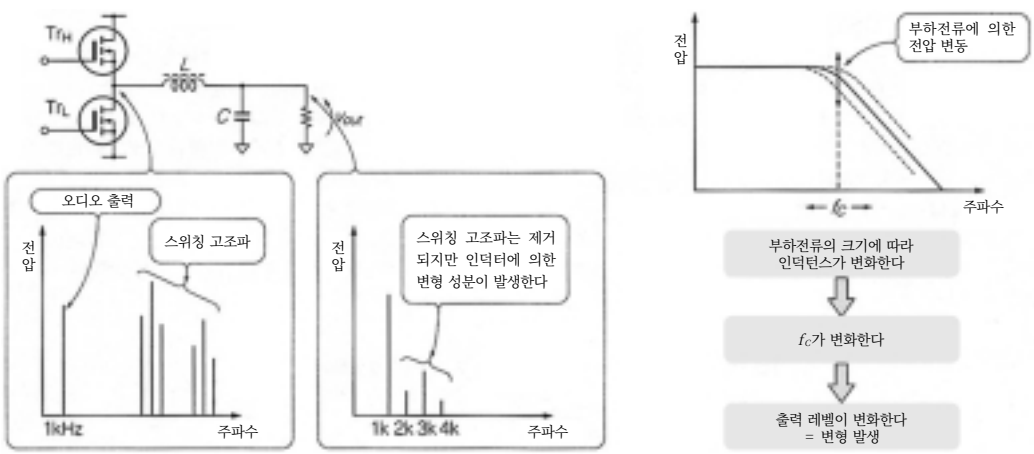
(a) 전용 IC를 사용하는 타입 (b) 디스크리트 타입

그림 5. 다양한 게이트 드라이버



(a) 펄스 폭 변조회로의 원리 (b) 3각파의 변형이 PWM파에 미치는 영향

그림 6. 출력 변형의 원인…펄스 변조단의 비직선성



(a) 출력단의 스펙트럼 (b) 인덕터에 따라 변형이 발생하는 과정

그림 7. 출력 변형의 원인…부하전류에 의한 출력 LPF의 인덕턴스 변동

2. 스피드와 발열과의 싸움…수백mW의 발열이 있다

게이트를 서서히 충방전할 때, 게이트 드라이버는 그다지 큰 전류를 공급할 필요가 없다.

그러나 빨리 충방전하려면 큰 피크 전류를 출력하는 능력이 필요하다. 콘덴서를 충방전할 때, 전하가 주입되거나 빠진다.

이동하는 전하량은 콘덴서 용량과 게이트 구동전압의 곱으로 결정된다. ON과 OFF의 천이일 때 이 전하량이 게이트 드라이버나 게이트 저항을 통해 저항에서 손실이 발생하고 발열한다.

단위시간 당으로 이동하는 전하량은 전하의 충방전 횟수에 비례하므로 스위칭 스피드에 비례한다. 따라서 게이트 드라이버의 발열은 스위칭 주파수에 비례하여 커진다. 스위칭 주파수가 매우 높은 디지털 앰프 게이트 드라이버단(段)의 발열은 수백mW라는 큰 값이 된다.

게이트 드라이버의 손실, 온도상승 계산도 중요한 설계 스텝 중 하나이다.

D급 드라이브 회로의 품질이 저잡음, 저변형 특성을 좌우한다

디지털 앰프의 출력신호 변형(이하, 출력 변형)의 원인에는 다음과 같은 3가지가 있다.

① D급 출력단의 불완전한 스위칭에 의한 비 직선성
② 펄스 변조단의 비 직선성(그림 6)
③ 출력 LPF의 비 직선성(그림 7)

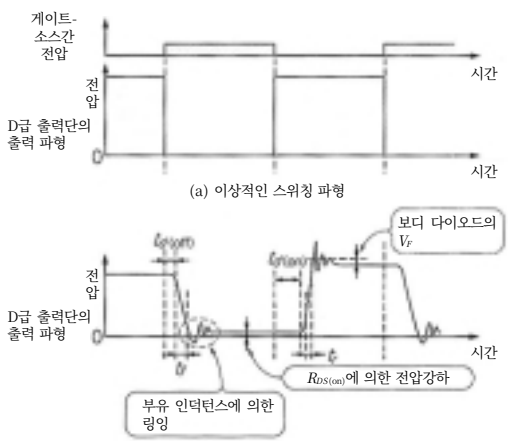
여기서는 ①의 원인에 관해 상세히 기술한다. 스위칭 파형이 불완전해지는 요인은 후술하는 바와 같이 D급 출력단뿐만 아니라 전원부때문이기도 하다.

1. D급 출력단의 스위칭 파형 변형은 가청대역에 잡음을 발생시킨다

(1) 이상(理想)출력단은 원리적으로 무 변형, 무 잡음

내부 임피던스가 0Ω인 정전압전원과 선형인 D급 출력단을 만들 수 있다면 출력전압은 펄스 폭(온 듀티)에 완전히 비례하므로 출력 변형이 발생하는 일은 없다.

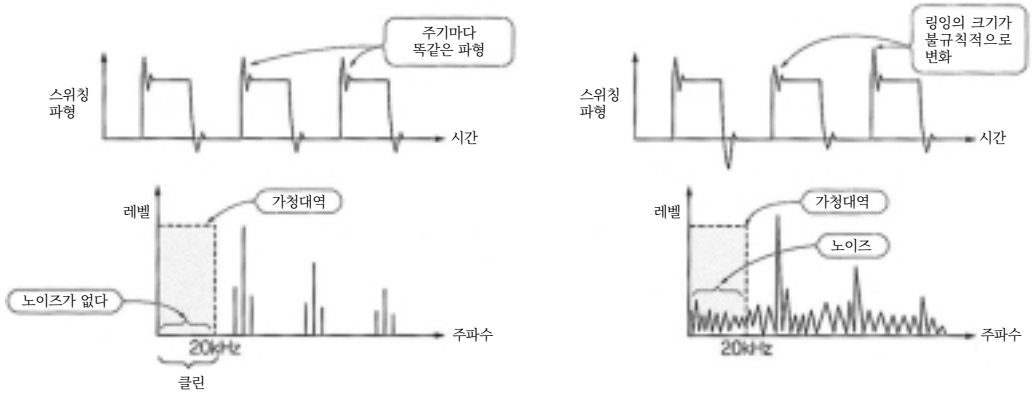
그림 8(a)와 같이 스위칭 파형은 *dv/dt*(단위시간 당 변하는 전압)가 무한대이며 링잉이나 지터가 없는 깨끗한 구



(a) 이상적인 스위칭 파형

(b) 실제 스위칭 파형

그림 8. 스위칭 파형의 이상과 실제



(a) 스위칭 파형이 주기마다 똑같은 경우

(b) 스위칭 파형이 주기마다 불규칙적으로 변화하는 경우

그림 9. 가청대역에 잡음이 발생하는 이유…스위칭 파형의 변형

형파로 된다. 이것이라면 그림 9(a)와 같이 스위칭에 의한 스펙트럼은 원리적으로 스위칭 주파수와 그 고조파뿐이므로 스위칭 주파수보다 낮은 가청대역 내에 노이즈가 발생하지 않는다.

(2) 실제로는…

실제 현실에서는 출력 변형이나 잡음이 발생한다. 더욱이 D급 출력단때문에 발생하는 변형이나 잡음은 저감시키기 어려워 그 대책에 고심하고 있다.

그림 8(b)와 같이 실제 스위칭 파형의 dv/dt는 유한하며 출력 조건에 따라서도 변화된다. 부유 인덕턴스에 의한 링잉도 중첩된다.

그 결과, 그림 9(b)와 같이 비교적 큰 잡음 스펙트럼이 출력되어 스피커에서 노이즈가 들린다.

전원도 출력 변형에 크게 관계된다. 그림 10과 같이 가청대역 내 전원전압의 변동은 그대로 출력으로 나타난다. 전원에서 콘덴서 결합으로 교류성분만을 인출, 관측하면 전원 자체가 어느 정도의 노이즈를 포함하고 있는지 알 수 있다.

그림 11과 같이 스위칭 전원에서는 중첩된 리플 주파수와 그 고조파성분이 D급 스위칭주파수와 간섭을 일으켜, 가청대역으로 비트 노이즈가 발생한다.

2. 출력 변형에 영향을 미치는 다양한 스위칭 파형 변형

(1) 상승시간과 하강시간

그림 8(b)와 같이 D급 출력단의 출력 파형 상승시간(t_r)과 하강시간(t_f)은 유한하다. 이 파형의 전위가 천이하는 에지부는 원래 필요 없으므로 LPF 후의 출력전압이 목표값에서 빗나간다.

1) 프린트 패턴은 짧은 것이 기본

t_r, t_f의 기간은 파워 MOSFET이 능동영역에서 동작하기 위해 전력(스위칭 손실)을 소비하므로 t_r, t_f는 짧을 수록 효율이 높아진다. t_r, t_f는 다음과 같은 항목에 의해 결정된다.

- 게이트 드라이버의 전류구동능력
- 드레인-게이트간 및 드레인-소스간 정전 용량
- 파워 MOSFET 내부의 게이트 등가저항
- 게이트-소스간 임계값 전압(V_{th})
- 배선의 부유 인덕턴스

t_r, t_f를 짧게 하려면 게이트 드라이버의 전류 용량을 가급적 크게 하고 게이트 저항을 가급적 작게 한다. 그러나

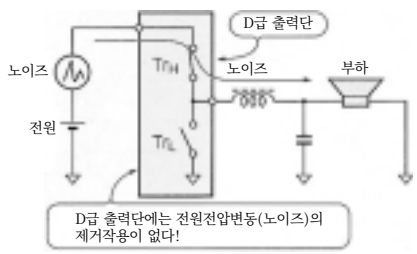


그림 10. 가청대역에 잡음이 발생하는 이유…전원 전압의 잔류잡음 누설

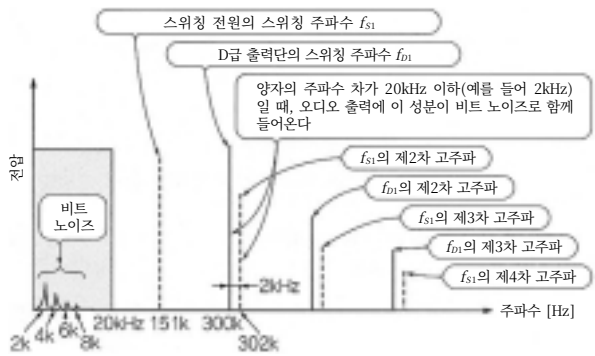


그림 11. 가청대역에 잡음이 발생하는 이유…스위칭 전원과 디지털 앰프와의 비트

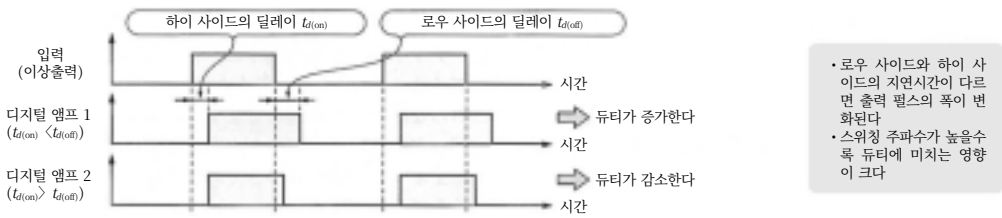


그림 12. 출력 변형의 원인…하이 사이드와 로우 사이드의 지연시간 편차의 차이

t_r, t_f가 짧아지면 프린트 패턴에 의한 부유 인덕턴스가 원인으로 큰 스파이크가 발생하여 방사 노이즈가 커진다. 게이트 드라이버와 파워 MOSFET 사이의 프린트 패턴은 ' 밀리미터 '를 의식하여 가급적 짧게 해야 한다.

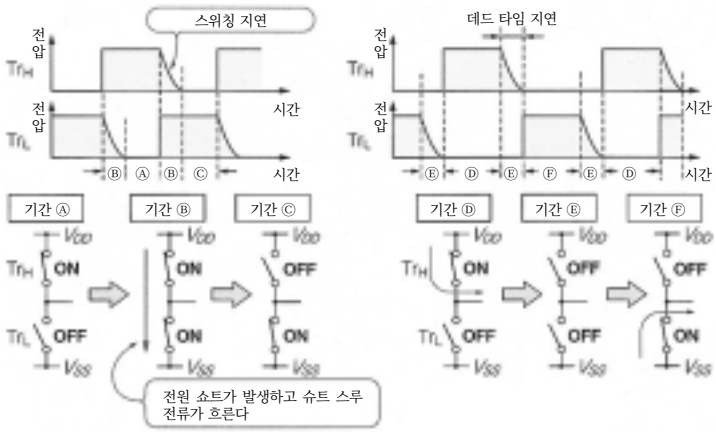
2) 캐리어 주파수변동형에서는 출력 변형에 영향을 준다

t_r, t_f에 의한 부가신호가 출력 변형에 미치는 영향은 변조방식에 따라 다르다. 캐리어 주파수가 변동하지 않는 PWM 변조에서는 t_r, t_f에 의해 추가되는 잡음이 온 듀티에 상관없이 일정한 직류적 변화로 나타난다. 한편, ΔΣ형으로 대표적인 자여식 캐리어 주파수변동형에서는 스위칭 주파수의 변화와 함께 추가잡음의 양이 변화되고 t_r, t_f는 출력 변형의 요인이 된다.

(2) 하이 사이드와 로우 사이드의 지연시간 편차

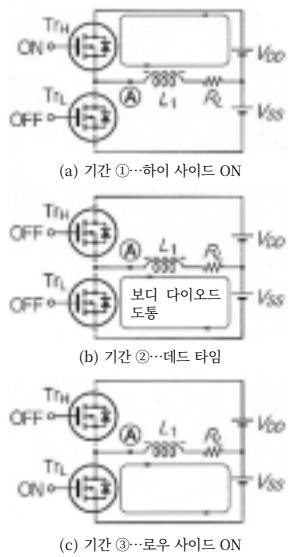
그림 8(b)와 같이, 실제 파워 MOSFET의 드레인 전압은 게이트-소스 사이에 전압을 인가해도 일정시간($t_{d(off)}$) 전압이 하강하지 않는다. 마찬가지로 게이트-소스 사이의 전압을 0V로 해도 일정시간($t_{d(on)}$) 전압은 상승하지 않는다.

이 지연시간($t_{d(off)}$와 $t_{d(on)}$)은 크거나 작아도 펄스 파형이 일정 시간만 시프트할 뿐이므로 변형의 원인이 되지는 않는다. 단, 이것은 오픈 루프형 디지털 앰프에서 하이 사이드와 로우 사이드에 사용하는 파워 MOSFET의 $t_{d(off)}$와 $t_{d(on)}$이 같을 때 만이다.



(a) 데드 타임 없음 (b) 데드 타임 있음

그림 13. 데드 타임 생성회로의 동작과 효과



(a) 기간 ①…하이 사이드 ON

(b) 기간 ②…데드 타임

(c) 기간 ③…로우 사이드 ON

그림 14. 데드 타임 기간은 보디 다이오드에 전류가 흐른다

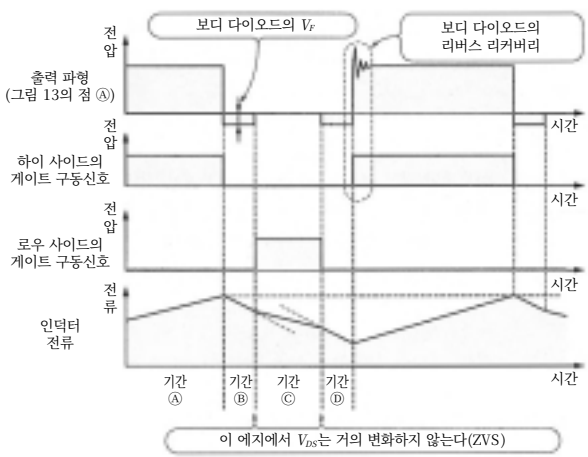


그림 15. 데드 타임 기간 중 각 부의 전압, 전류 파형

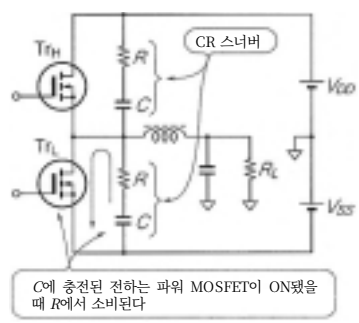


그림 16. CR 스너버를 부가하면 링잉을 경감할 수 있다

하이 사이드와 로우 사이드 지연시간 편차의 정도를 딜레이 매칭이라 한다.

그림 12와 같이 딜레이 매칭이 발생하면 입력 펄스 폭에 대해 출력 펄스 폭이 변화되므로 출력전압이 변화하여 출력 변형을 발생시킨다.

부귀환 루프에 출력단을 포함한 ΔΣ 변조방식 등의 자여 발진형에 있어서 지연시간은 데드 타임과 함께 루프의 지연요소로 되어 발진주파수(중심 캐리어 주파수)가 저하되는 요소로 된다.

(3) 데드 타임

그림 13(a)와 같이 하이 사이드와 로우 사이드를 각각 같은 타이밍으로 ON에서 OFF, OFF에서 ON으로 전환하면 양 파워 MOSFET이 ON으로 되는 기간이 발생한다. 이 기간 중에는 정(+)전원과 부(−)전원(또는 그라운드)이 쇼트하여 큰 전류(슈트 스루(shoot through) 전류)가 흐른다. 이것을 방지하기 위해 D급 출력단을 제어할 때는 하이 사이드와 로우 사이드가 OFF되는 기간이 필요하다. 이 기간을 데드 타임이라 부른다. 디지털 앰프는 스위칭 주파수가 높으므로 데드 타임은 수십n~100ns 정도로 설정한다.

데드 타임은 듀티에 상관없이 일정하므로 PWM 신호의 ON 시간이 데드 타임보다 짧으면 D급 출력단은 반응하지 않는다. 스위칭 주파수가 높아질수록 스위칭 주기에 대한 데드 타임의 비율이 커지므로 문제된다.

(4) 데드 타임 중에 보디 다이오드에 흐르는 전류가 일으키는 문제

데드 타임 기간 중에 파워 MOSFET의 기생 다이오드(보디 다이오드)에 전류가 흘러 다양한 문제를 일으킨다. 특히 스위칭 스피드가 빠른 디지털 앰프에서는 이 보디 다이오드의 영향이 작지 않다. 좀 더 상세히 살펴본다.

1) 파형 변형의 원인이 된다

그림 14는 데드 타임 기간에 부하전류가 보디 다이오드로 유입되는 모습이다. D급 출력단의 출력 노드(점 Ⓐ)는 PWM 신호를 복조하는 출력 LPF가 접속되어 있으므로 인덕턴스 성질(이하 L성)의 임피던스를 가진다.

그림 15에 각 부의 전압과 전류 파형을 나타낸다. 데드 타임 기간 중에는 인덕터 L_1에 흐르던 전류가 흐를 곳을 잃어버린다.

그 결과, 기(起)전압이 발생하고 파워 MOSFET Tr_L의 보디 다이오드가 턴 온한다, 보디 다이오드의 ON 기간 중, 출력 LPF에서는 다이오드의 순방향 전압강하분(V_F) 만큼 전원전압이 증가해 보인다. 이 전원전압의 증가분 V_F는 인덕터의 di/dt를 변화시키고 출력전압을 변화시켜 출력 변형의 요인이 된다. 특히 전원전압이 낮은 디지털 앰프에서는 V_F의 영향이 커진다.

2) 코먼 모드 노이즈의 원인이 된다

데드 타임 기간이 종료되고 Tr_L이 ON되면 보디 다이오드의 리버스 리커버리 전하에 의해 스파이크상의 전류가 전원단자간에 발생한다. 이 스파이크 전류는 배선의 부유 인덕턴스와 함께 진동성 노이즈를 발생키고 코먼 모드 노이즈의 주요 발생원이 된다.

3) 대책

대부분의 파워 MOSFET은 ON 저항이 작아지도록 설계되어 있으므로 보디 다이오드의 리커버리 특성은 고속 다이오드(퍼스트 리커버리 다이오드) 등에 비해 열악하다. 전원전압이 낮은 디지털 앰프에서는 드레인-소스간에 쇼트키 배리어 다이오드를 병렬 접속시켜 보디 다이오드에 전류가 흐르지 않도록 하면 이 문제를 피할 수 있다. 쇼트 키 배리어 다이오드는 원리적으로 리버스 리커버리 전하가 없고 V_F도 작다는 특징이 있다.

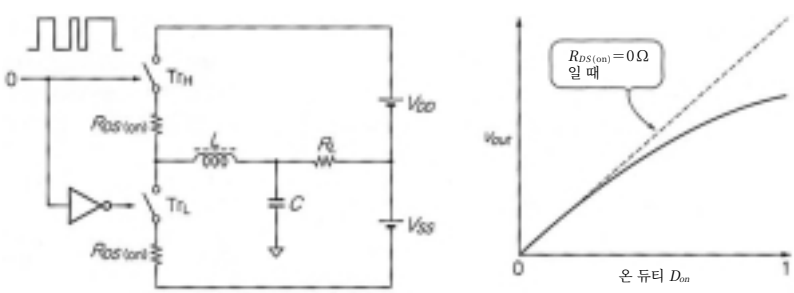


그림 17. 파워 MOSFET의 온 저항에 의한 직선성 악화

(5) 링잉은 출력 변형과 방사 노이즈의 원인이 된다

링잉은 파형의 상승 에지와 하강 에지에 실려있는 감쇠 진동 파형이다. 이것은 오디오 성능의 변형을 열화시킬 뿐만 아니라 방사 노이즈의 주 요인도 된다.

링잉은 부유 인덕턴스나 부유 용량 등의 원인으로 발생하는 LC 진동이다. 대부분의 경우, 부유 인덕턴스에 흐르는 전류의 di/dt가 방아쇠의 역할을 하여 진동이 시작된다. 보디 다이오드의 리버스 리커버리도 의도하지 않은 급격한 di/dt를 유발시킨다. di/dt의 원인은 스위칭 소자의 스위칭이다. 부유 인덕턴스 성분을 지닌 것은 다음과 같다.

- 프린트 패턴
- 파워 MOSFET의 리드나 내부결선
- 디커플링 콘덴서의 리드나 내부결선

부유 용량 성분을 지닌 것은 다음과 같다.

- 파워 MOSFET의 출력 용량
- 출력 LPF 인덕터의 부유 용량

이와 같이 부품 그 자체에 의존하는 것과, 레이아웃이나 프린트 기판설계에 의존하는 것이 있다. 용량성분이나 인덕턴스 성분이 작은 디바이스, 부품을 사용하는 것뿐만 아니라 부품배치나 프린트 패턴을 능숙하게 설계하는 것도 중요하다. 그림 16과 같이 파워 MOSFET의 드레인-소스 사이에 CR 소자를 삽입하여 LC 공진의 Q를 내리는 것도 효과적이다. 단, 이 방법은 파워 MOSFET OFF 시 충전된 C의 전하를 매회 소비하므로 효율이 악화된다.

(6) 파워 MOSFET의 온 저항

그림 17은 파워 MOSFET의 온 저항 $R_{DS(on)}$이 직선성에 미치는 영향이다. 파워 MOSFET이 ON인 기간의 드레인-소스간 저항값은 0Ω이 아니다. $R_{DS(on)}$이 있으면 출력전압이 펄스의 듀티에 비례하지 않아 변형이 발생한다.

부하 측에서 D급 출력단을 보았을 때, D급 출력단의 출력 임피던스 Z_{out}[Ω]은 다음과 같은 식으로 나타난다.

$$Z_{out}=R_{DS(on)}\ (I_{DD}/i_{out})^2$$

여기서, I_{DD} : 전원의 소비전류[A], i_{out} : 출력전류[A]

$R_{DS(on)}$의 영향을 작게 하기 위해서는 칩 사이즈가 큰 파워 MOSFET을 사용하면 되지만, 칩 사이즈가 큰 것일수록 게이트 차지 Q_g와 출력 용량 C_{oss}가 크기 때문에 이번에는 스위칭 손실이 증가한다. 최대의 효율을 얻을 수 있는 최적의 사이즈가 있다.

$R_{DS(on)}$에 의한 변형은 예측하기 쉬우므로 오픈 루프 타입의 디지털 앰프에서는 $R_{DS(on)}$을 상정, 사전에 PWM 변조를 반대 방향으로 변형시켜 놓으면 비 직선성을 제거할 수 있다. 이것은 실제 제품에서 이미 사용되고 있다. EE

참 고 문 헌

(1) アプリケーションノートAN-978, HV Floating MOS-Gate Driver ICs, International Rectifier.
(2) パワーMOSFETの実践活用法, 2000年12月, CQ出版㈱.

성공하는 프로그래머를 위한 C언어 기술

저 자 : 박진수/총 576쪽/정가 18,000원
출판사 : (주)사이버출판사
분야 : 컴퓨터, 인터넷, 프로그래밍, C언어

이 책은 어디서부터 어떻게 C언어를 공부해야 할지 몰라 고민하고 있는 초보 프로그래머들에게 C 프로그램의 문법과 사용 예를 체계적으로 가르쳐준다. 처음부터 프로그램 작성법을 설명하는 난해한 방식은 버리고, 기초를 충분히 다질 수 있도록 쉬운 것부터 단계적으로 설명해 나가는 방식을 채택하여 프로그래밍 학습에 효과적인 독특한 방식으로 구성되어 있다.
다른 책들과는 다르게 0장에서 컴파일러를 사용하는 법을 바로 다루고, 1장에서 C언어를 소개하며, 2장에서 C언어의 문법을 전체적으로 살필 수 있도록 하였고, 3장에서 다시 컴파일하는 방법을 구체적으로 다룬 후, 4장부터 비로소 C언어의 세부적인 내용을 다룬다. 그리고 4장부터 6장까지는 개념을 설명하는 부분과 문제를 풀이하는 방식으로 구분되어 있다. 이러한 구성 방식은 프로그램을 작성해 본 경험이 있는 사람이라면 배우거나 가르치는 일에 매우 독창적이며 효과가 있는 방식임을 알 수 있을 것이다. 또한 이 책은 전체적으로 7개의 장으로 구성되어 있으며 각 장은 인지 모형(Perception Model)에 따라서 4단계에 걸쳐 단계적으로 학습하도록 꾸며져 있다.

本 記事는 日本 CQ出版社가 發行하는 「トランジスタ技術」誌(2003年 8月號)와의 著作權 協定에 依據하여 提供받은 資料입니다.

주파수 특성을 희생시키지 않고 PWM 신호에서 저변형 신호를 재생한다

5 고주파를 제거하는 출력 필터 설계

黒田 徹

디지털 앰프의 D급 출력단은 전원전압(V_{DD}와 V_{SS}) 사이에서 진폭하는 펄스 신호(PWM 신호)를 출력하고 있다. 이 펄스 신호에서 아날로그 오디오 신호를 재생하려면 펄스 신호를 LPF에 통과시켜 고조파성분을 제거해야 한다.

이 장에서는 펄스 신호에 어떠한 주파수성분이 포함되어 있는지 검토하고 적절한 특성의 LPF 작성 방법을 해설한다.

출력 필터가 필요한 이유

1. D급 출력단의 펄스 신호가 가진 많은 고조파성분을 제거한다

계속 진화되는 디지털 앰프의 변조방식은 난립되어 있다. 크게 구분하면 펄스 폭 변조(PWM)방식[그림 1(a)]과 ΔΣ 변조(PDM)방식[그림 1(b)]으로 나눌 수 있다. ΔΣ 변조방식 디지털 앰프 중에는 PWM을 병용하는 것도 있다. 어쨌든 다음과 같은 고주파잡음이 발생한다.

(1) PWM 타입

그림 1(a)의 V_{out1} 스펙트럼 분포를 그림 2(a)에 나타낸다. 불요성분은 다음과 같은 2가지이다.

① 반송파의 기본성분과 홀수차 고조파성분

② 반송파와 오디오 신호의 변조 곱

반송주파수(스위칭 주파수)가 오디오 대역 주파수의 수십배 이상이라면 LPF(로우 패스 필터)에서 오디오 성분과 불요성분을 쉽게 분리할 수 있다.

(2) ΔΣ변조 타입

그림 1(b)의 v_{out1} 스펙트럼 분포의 개략을 그림 2(b)에

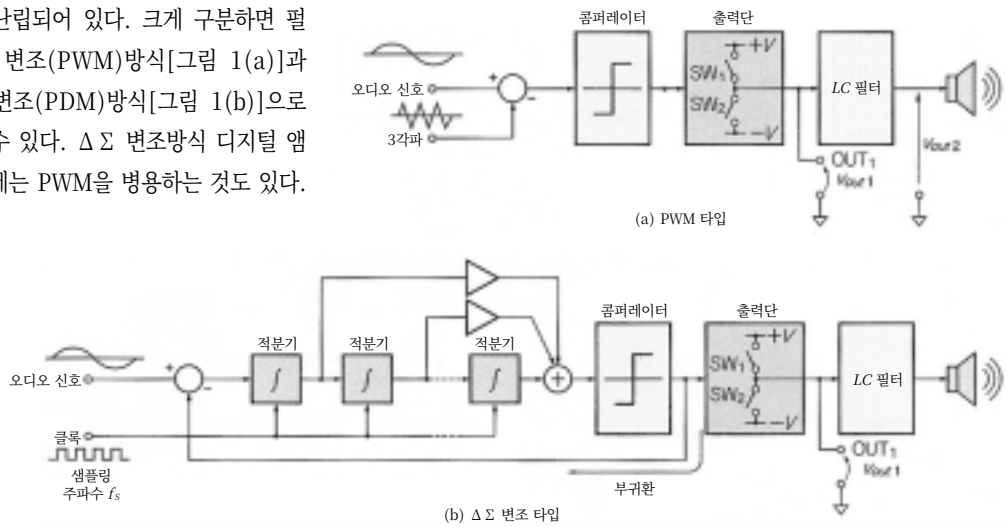


그림 1. 디지털 앰프 2종류의 변조방식

나타낸다. 불요성분은 오디오 신호와 거의 상관없는 양자화 잡음이다.

오디오 대역 내의 양자화 잡음을 억제하려면 적분기의 단수를 늘리거나 샘플링 주파수 f_s를 올려야 한다. 양자화 잡음 스펙트럼은 $f_s/2$에서 최대가 된다.

PWM 신호의 고조파성분을 더 상세히 조사해 본다

1. SPICE로 스펙트럼을 조사한다

PWM 방식이든 ΔΣ 변조방식이든 100MHz 이상에 미치는 고주파잡음이 발생하므로 출력단 뒤에 LPF를 삽입하여 이 고주파잡음을 차단해야 한다. 차단하지 않으면 스피커의 보이스 코일이 손상되거나 앰프와 스피커를 연결하는 케이블에서 전자파가 방사된다.

여기서 적절한 필터를 설계하기 위해 SPICE를 사용, 고주파잡음의 스펙트럼 분포를 상세히 조사해 본다. ΔΣ 변조형 디지털 앰프의 회로방식은 다양하고 스펙트럼 분포도 다양하기 때문에 일반적으로 논하는 것은 곤란하지만 그림 1(a)에 나타난 PWM 방식은 회로구조가 간단하므로 그 분포는 이론적으로 해석되고 있다.[(1)(2)]

그림 3은 그림 1(a)의 회로와 등가인 PWM 기능을 가진 회로이다. 이 회로를 SPICE 시뮬레이션으로 해석해 본다. 오디오 신호는 20kHz 정현파이고 반송파는 400kHz 3각파이다.

전압제어 전류원(g_m=100mS)과 2개의 1N4148, 2개의 직류전압원은 콤퍼레이터를 형성한다. 콤퍼레이터의 출력전압은 약 ±10V이다. 출력단의 게인은 10배이고 출력전압 VOUT1은 약 ±100V이다.

2. PWM 변조의 구조 상태와 스펙트럼의 변화

PWM파의 스펙트럼은 변조지수 M에 의해 복잡하게 변

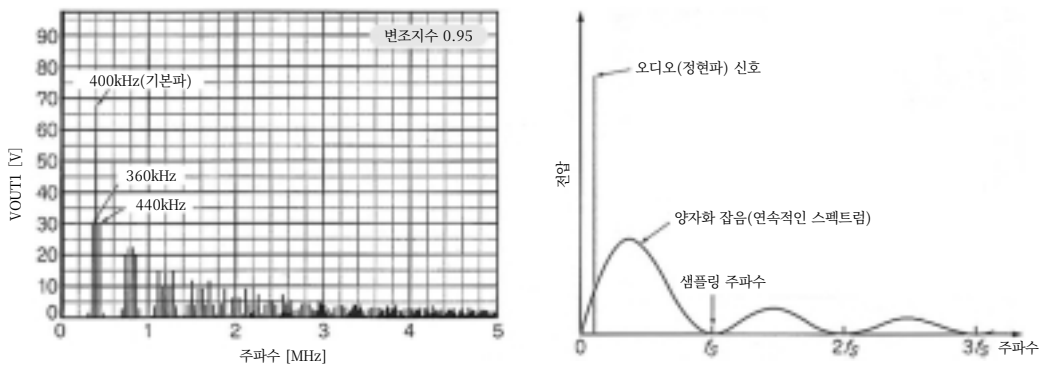


그림 2. D급 출력단의 펄스 신호는 많은 고조파성분을 포함한다

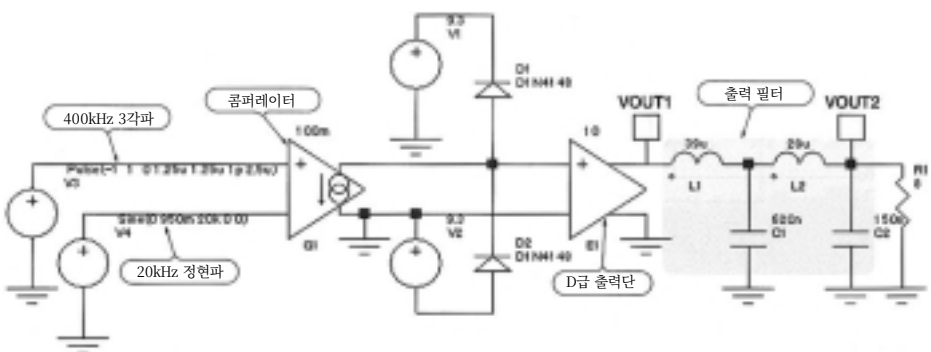


그림 3. D급 출력단의 고조파와 출력 필터의 효과를 조사한다(시뮬레이션 회로)

한다. 변조지수란 3각파 진폭에 대한 오디오 신호진폭의 비이다.

사실 그림 2(a)는 그림 3의 회로에서 변조지수 0.95로 했을 때, VOUT1의 주파수 특성 해석결과이다. 그림 4는 M=0.2와 M=0.01일 때의 주파수 특성 해석결과이다.

변조지수 *M*이 작을 때의 잡음 스펙트럼은 반송파의 기본성분과 홀수차 고조파성분이 대부분이다. 극단적으로 *M*=0이라면, 즉 오디오 신호가 제로라면 PWM파는 주파수 400kHz의 방형파가 되므로 그 스펙트럼은 400kHz, 400kHz×3,400kHz×5…로 된다.

한편, 변조지수가 클 때의 고주파잡음 스펙트럼은 그림 2(a)와 같이 오디오 신호와 반송파의 변조 곱이 지배적이다. 이 중에서 중요한 스펙트럼은 특히 레벨이 큰 반송파 성분 400kHz와 그 하측파 360kHz 및 상측파 440kHz이다.

(1) 스위칭 주파수의 기본파를 감쇠시켜야 한다

그림 2(a)와 그림 4(a), (b)의 3가지 그림을 비교하면 변조지수에 상관없이, 최대의 스퓨리어스는 반송파의 기본성분(400kHz)이라는 것을 알 수 있다. 이 성분을 출력 필터로 감쇠시키는 것이 중요하다.

출력 필터 제작 시의 문제점

출력 LPF에서 에너지가 소비되면 전력효율이 떨어지므로 디지털 앰프에서 사용하는 LPF는 무손실 필터, 즉 LC 필터로 한정된다.

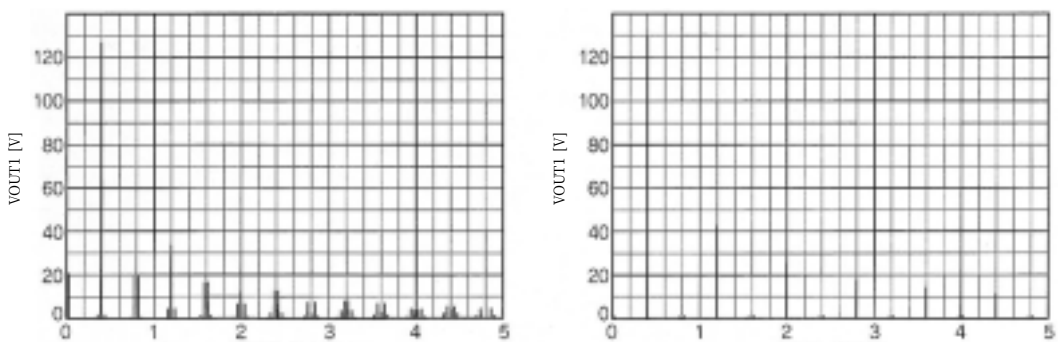
1. *LC* 필터의 문제점

(1) 인덕터는 실장면적이 크고 고가이며 변형이 발생한다

LC 필터의 인덕터는 실장 스페이스나 코스트를 증대시킨다. 또 코어 장착 인덕터를 사용하면 비 직선 변형이 발생한다.

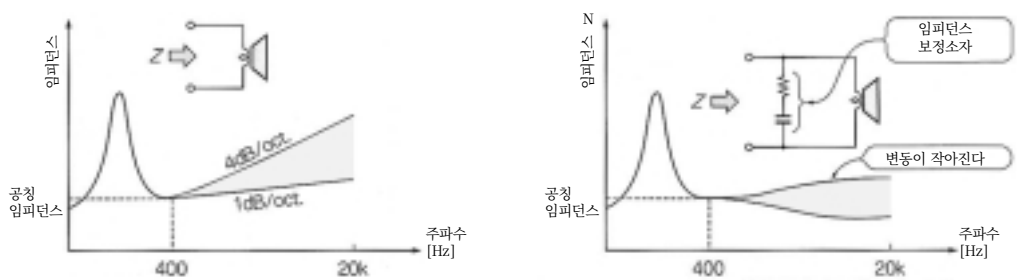
(2) 반송주파수와 전력효율의 이율배반

반송주파수를 높게 설정하면 LPF의 차단파수도 높아지



(a) M=0.2 (b) M=0.01

그림 4. 변조지수와 고조파 스펙트럼의 변화



(a) 스피커에 따라서는 고역 임피던스가 1 4dB/oct.로 증가한다

(b) 임피던스 보정소자를 추가하면 스피커에 의한 임피던스의 변동량을 억제할 수 있다

그림 5. 오디오 대역에서 변동하는 스피커의 임피던스를 보정한다

므로 인덕턴스가 적은 소형 인덕터를 사용할 수 있다. 그러나 반송주파수를 올리면 전력효율이 저하된다.

2. *LC* 필터 설계 시의 문제점

(1) 스피커의 임피던스 특성은 오디오 대역에서 크게 변동된다

고주파잡음을 억제하는 데에는 *LC* 필터의 차단주파수를 내리는 것이 효과적이지만 오디오 대역의 주파수 특성이 악화된다. 전용 스피커를 사용하면 스피커의 임피던스에 맞춘 최적의 *LC* 필터를 설계할 수 있으므로 주파수 특성의 악화를 최소한으로 줄일 수 있다.

스피커 기종을 특정지을 수 없는 경우, 스피커 대부분의 평균적인 임피던스 특성을 상정하여 그에 알맞은 필터를 설계하게 된다. 그러나 난처하게도 스피커의 임피던스 특성은 엄밀한 규정이 없다. 공칭 임피던스는 4Ω 또는 8Ω이 많지만 실제 임피던스는 그림 5(a)와 같이 오디오 대역(20Hz~20kHz)에서 크게 변화한다. 특히 고역주파수에서의 임피던스 증가는 필터의 주파수 특성에 크게 영향을 미친다.

(2) 출력 필터에서 본 스피커 측 임피던스를 오디오 대역에서 일정하게 하는 연구

그래서 일반적으로 그림 5(b)에 나타난 임피던스 보정회로를 삽입하고 10k~100kHz에 걸친 임피던스가 일정하게 되도록 보정한다.

그러나 스피커의 임피던스 대 주파수 특성은 천차만별[3][4]이므로 보정해도 임피던스를 순저항으로 하는 것은 곤란하다. 때문에 스피커를 장착하면 설계 시 예측한 주파수 특성과 상당히 달라지는 것이 일반적이다. 차단주파수를 높게 설정하면 이 차이를 감소시킬 수 있지만 잔류 고주파 잡음이 증가한다는 단점이 있다.

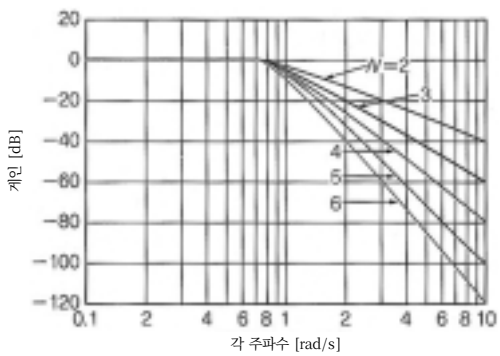


그림 7.[5] N차 버터워스 특성 LPF의 주파수 특성

출력 필터의 설계 예

1. 주파수 특성의 타입 및 차수

(1) 버터워스 또는 체브세프가 좋다

디지털 앰프의 고주파잡음은 광대역에 분포하므로 저지역(沮止域)의 주파수 특성이 단조롭게 감쇠되는 타입의 LPF가 적당하다. 대부분의 경우, 버터워스 특성 또는 체브세프 특성 필터를 사용한다. 여기서는 설계가 용이한 버터워스 특성 필터를 사용한다.

(2) 2~4차 버터워스 특성 LPF로 충분하다

그림 6은 차단각주파수 1rad/s 버터워스 특성의 사다리형 LPF의 회로이다. 소자값을 표 1에, 주파수 특성을 그림

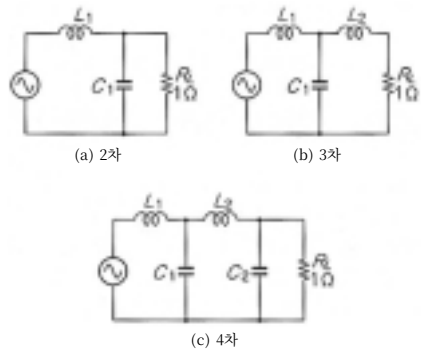


그림 6. 출력 필터에 적합한 한쪽 종단 사다리형 필터

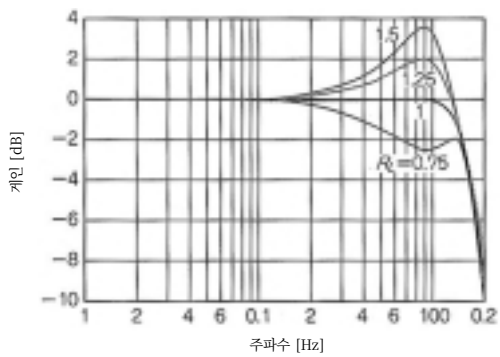


그림 8. 스피커의 임피던스를 0.75 1.5Ω으로 변화시켰을 때의 정규화 4차 버터워스 특성 LPF의 주파수 특성 (f_C=0.159Hz)…게인 변동이 크다

7에[5] 나타낸다. 가령, 차단주파수를 반송주파수의 1/10로 설정했다고 할 때, 반송주파수에서의 감쇠량은 2차라면 40dB, 4차라면 80dB, 6차라면 120dB로 된다는 것을 그림 7에서 판독할 수 있다. 따라서 실용상으로는 2~4차 버터워스 특성 LPF로 충분하다. 단, 3차 LPF는 메리트가 거의 없다. 왜냐하면 3차에서도 4차와 마찬가지로 2개의 코일이 필요하기 때문이다.

표 1. 정규화 버터워스 특성 LC 필터의 소자값(한쪽 종단)

차수	L_1	C_1	L_2	C_2
2	1.414214	0.707107	—	—
3	1.500000	1.333333	0.500000	—
4	1.530734	1.577161	1.082392	0.382683

2. 4차 버터워스 특성 LPF를 설계한다

(1) 차단주파수를 25kHz로 설정

1) 감쇠량은 충분하다

여기에서는 대역 20kHz의 PWM 방식 디지털 앰프용 4차 버터워스 특성 LPF를 설계해 본다. 3각파 주파수는 400kHz, 부하저항(스피커의 임피던스)은 8Ω이라 가정한다. N차 버터워스 특성 LPF의 감쇠량 A_t[dB]는 다음과 같은 식이 된다.

$$A_t = 10\log\left\{1+\left(\frac{f}{f_C}\right)^{2N}\right\} \quad \cdots\cdots(1)$$

여기서, f : 주파수[Hz], f_C : 3dB 차단주파수[Hz]

가령 차단주파수 f_C를 25kHz로 정하면 4차 버터워스 특

역 체브세프와 버터워스 중 어떤 것이 디지털 앰프용인가?

PWM 방식 디지털 앰프의 최대 스퓨리어스 성분은 반송주파수(f_{car})이기 때문에 f_{car}에 노치(전송 제로점)를 가진 역 체브세프 특성 LPF나 연립 체브세프 특성 LPF가 어울린다고 보는 사람도 있을 것이다. 그러나 이들 필터는 장점이 부족하다.

1. 저지역 감쇠량 비교

그림 A는 3dB 차단주파수가 50kHz인 3종류 필터(3차 역 체브세프, 3차 버터워스, 4차 버터워스)의 주파수 특성이다. 역 체브세프 필터의 노치는 반송주파수(400kHz)로 설정하고 있다.

(1) 3차 역 체브세프 vs. 3차 버터워스

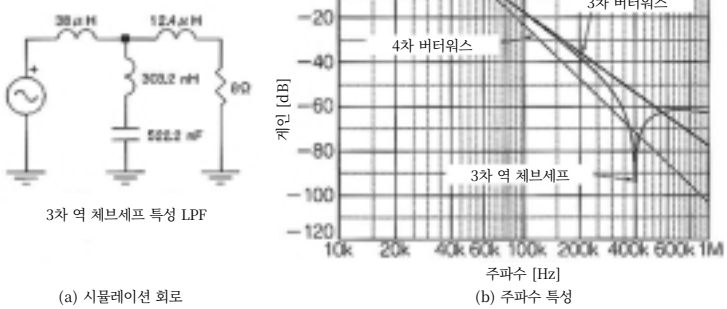
580kHz 이하에서는 3차 역 체브세프가, 580kHz 이상에서는 3차 버터워스가 이긴다.

(2) 3차 역 체브세프 vs. 4차 버터워스

372k~422kHz의 범위에서만 3차 역 체브세프가 이기고 그 외의 주파수는 4차 버터워스가 이긴다.

2. 종합평가…4차 버터워스의 승리!

회로구성을 비교하면 3차 역 체브세프는 인덕터가 3개 필요하지만 3차 및 4차 버터워스는 2개로 해결된다. 따라서 종합평가는 4차 버터워스 쪽이 우세하다.



3차 역 체브세프 특성 LPF

(a) 시뮬레이션 회로 (b) 주파수 특성

그림 A. 버터워스 특성과 역 체브세프 특성의 게인 주파수 특성

성 LPF의 20kHz에 있어서 감쇠량은 0.67dB이다. 한편, 반송주파수 400kHz에서의 감쇠량은 96.3dB이다. 통과역의 감쇠량이나 저지역의 감쇠량도 충분히 만족할 수 있는 값이다.

2) 스피커의 임피던스에 따라서는 음성대역의 게인에 영향을 준다

f_C=25kHz는 너무 낮다. 왜냐하면 스피커의 임피던스는 상기와 같이 분산되기 때문이다. 그래서 부하저항을 분산시켰을 때의 게인의 주파수 특성을 조사해 본다. 간단히 하기 위해 정규화 버터워스 특성 LPF의 주파수 특성을 고찰한다. 정규 부하저항은 1Ω이지만 0.75~1.5Ω 범위에서 분산된다고 가정한다. 이것은 실제 필터에서 부하저항이 6~12Ω 범위로 분산되는 것에 해당한다.

시뮬레이션 결과를 그림 8에 나타낸다. 정규화 3dB 차단주파수 f_C는 159mHz로서 f_C의 약 60% 주파수에서 게인 편차가 최대이다. 따라서 만약 f_C를 25kHz로 설정하면 10k~20kHz 부근의 게인이 크게 변동된다. 가청한계에 가까운 주파수라 하더라도 음질에 영향을 미칠 우려가 크다.

(2) 차단주파수를 50kHz로 설정

시뮬레이션 결과를 상정하여 차단주파수 f_C를 올리도록 한다. 단, 고주파잡음 문제가 있어 자연히 한도가 있으므로 f_C=50kHz로 한다.

1) 실제 필터 소자값

표 1의 소자값에 다음과 같은 스케일링을 실시하고 실제의 소자값을 산출한다. 즉,

$$L_{1\alpha}=\frac{R_L}{2\pi f_C}L_1,\quad L_{2\alpha}=\frac{R_L}{2\pi f_C}L_2 \qquad \cdots\cdots\cdots\cdots(2)$$

$$C_{1\alpha}=\frac{C_1}{2\pi f_C R_L},\quad C_{2\alpha}=\frac{C_2}{2\pi f_C R_L} \qquad \cdots\cdots\cdots\cdots(3)$$

여기서, f_C : 3dB 차단주파수[Hz], R_L : 부하저항(스피커의 임피던스)[Ω]

위의 식에 L_1=1.530734H, C_1=1.577161F, L_2=1.082392H, C_2=0.382683F, R_L=8Ω, f_C=50kHz를 대입하면 실제 소자값이 다음과 같이 구해진다.

$L_{1\alpha}$=38.9798μH, $L_{2\alpha}$=27.5629μH

$C_{1\alpha}$=0.627532μF, $C_{2\alpha}$=0.152265μF

실용값은 다음과 같이 반올림한다.

$L_{1\alpha}$=39μH, $L_{2\alpha}$=28μH

$C_{1\alpha}$=0.62μF, $C_{2\alpha}$=0.15μF

그림 9에 최종 출력 필터 회로를 나타낸다. 표 1의 소자

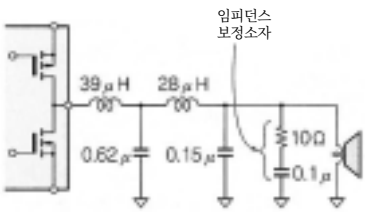


그림 9. 설계한 출력 필터 회로(f_C=50kHz, R_L=8Ω, 하프 브리지용)

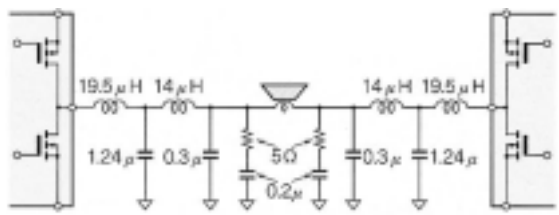
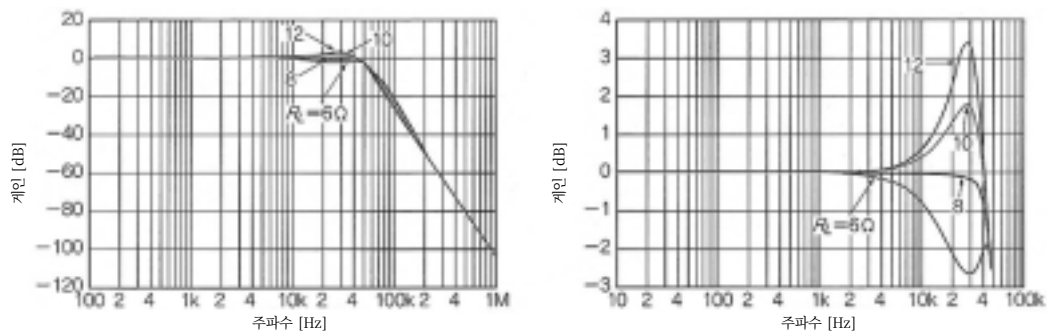


그림 10. D급 출력단이 풀 브리지인 경우의 출력 필터 회로 (f_C=50kHz, R_L=8Ω)



(a) 전체 주파수 특성(10Hz 1MHz)

(b) 통과 대역(10Hz 100kHz)의 주파수 특성

그림 11. 실제 상수로 설계한 출력 필터(그림 9)의 주파수 특성

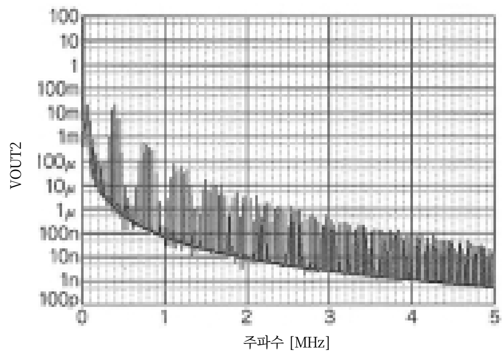


그림 12. 설계한 출력필터를 그림 3의 회로에 적용했을 때의 출력 스펙트럼

값과 스케일링 후의 소자값은 하프 브리지 출력용 필터의 상수이다. 풀 브리지 출력용 필터의 소자값은 그림 10과 같이 인덕턴스가 1/2로 감소하고 콘덴서 용량은 2배로 증가한다.

2) 실제 상수로 만드는 출력 필터의 주파수 특성

실제 상수로 설계한 출력 필터의 주파수 특성을 그림 11에 나타낸다. 부하저항이 6~12Ω까지 변화했을 때 20kHz의 게인 편차는 약 ±2dB이다. 3각파 주파수 400kHz의 감쇠량은 약 72dB이다. 이 필터를 그림 3에 적용하여 앰프의 출력 VOUT2의 스펙트럼 분포를 조사해 보았다. 그림 12에 해석결과를 나타낸다. 변조지수는 0.95이다. *SFDR*(스퓨리어스 프리 다이내믹 레인지)는 76dB이다. **E** **E**

참고·인용*문헌

(1) H. S. Black ; Modulation Theory, Van Nostrand Company, 1953.

(2)* Karsten Nielsen ; A Review and Comparison of Pulse Width Modulation(PWM)methods for analog and digital input switching power amplifiers, p.12, AES Preprint 4446, Presented at the 102nd Convention 1997 March 22-25 Munich, Germany.
▶ http://www.powerhouse.bang-olufsen.com/sw1273.asp

(3)* 松本豊作；電気インピーダンス特性から見たスピーカの特性，ラジオ技術2000年11月号，p.154，㈱アイエー出版．

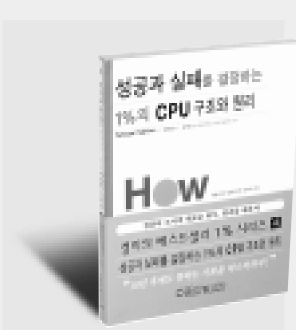
(4) 現代ステレオ・スピーカ'81，ラジオ技術1981年1月号 臨時増刊，㈱ラジオ技術社．

(5) 黒田 徹；バターワース特性LCフィルタのD級アンプへの応用，トランジスタ技術，1998年5月号，p.219－220，CQ出版㈱．

기초부터 배우는 TCP/IP 시큐리티 실험(Linux/FreeBSD)

Masato Teradae, Makoto Kayashima ¼œ / Ł.... ¿" / 332´˚ / ..."¨· .com / 9,000¿ł

이 책에서는 OS(이 책의 대상은 UNIX와 Windows)에 부속된 툴을 중심으로 TCP/IP 네트워크 환경에서 시큐리티 실험을 한다. 시큐리티의 기초부터 네트워크 환경에서의 부정 액세스, 전자 메일의 변경 등 구체적인 사례를 중심으로 해설한 이 책은 시큐리티상의 위협을 인식하고 대책을 수립할 수 있도록 도와주는 지침서가 될 것이다.



성공과 실패를 결정하는 1%의 Windows 구조와 원리

Tsukasa Amano 저 / 이영란 역 / 박준상 감수 / 360쪽 / 성안당.com / 14,800원

[무엇이 프로그래밍의 성공과 실패를 결정하는가? - 99%보다 소중한 1%의 윈도우 프로그래밍 원리]

이 책은 이미 출간되어 독자들로 하여금 프로그래밍의 기본은 원리 이해라는 개념을 크게 심어주었던 ' 성공과 실패를 결정하는 1%의 프로그래밍 원리 시리즈의 세 번째 도서 '이다.
성공과 실패를 결정하는 1%의 프로그래밍 원리가 프로그래밍 작동 원리에 대한 전반적인 이해의 폭을 넓히고 해답을 제시했다면, 이 책은 컴퓨터 운영체제(OS)의 대명사라 할 수 있는 윈도우의 구조와 작동 원리, 윈도우와 컴퓨터 간의 연관성을 통해 프로그래밍의 성공과 실패를 결정하는 요인이 무엇인지에 대해 답을 제시하고 있다.